

|  |
| --- |
| Immagine che contiene testo  Descrizione generata automaticamente  Scuola Politecnica e delle Scienze di Base  Corso di Laurea Magistrale in Ingegneria Informatica |

|  |
| --- |
| Elaborato **Computer Systems Design** *Simulazione prova scritta* Anno Accademico 2020/21 |

|  |
| --- |
| Studente:  **Michele Maresca M63/1151** |

## Indice

[Indice III](#_Toc61032835)

[Esercizio 1 5](#_Toc61032836)

[1.1 Traccia 5](#_Toc61032837)

[1.2 Soluzione 5](#_Toc61032838)

[1.3 Codice 7](#_Toc61032839)

[1.3.1 Struttura ad albero 7](#_Toc61032840)

[1.3.2 Struttura a semi selezione 9](#_Toc61032841)

[1.4 Simulazione 10](#_Toc61032842)

[Esercizio 2 16](#_Toc61032843)

[2.1 Traccia 16](#_Toc61032844)

[2.2 Soluzione 16](#_Toc61032845)

[2.2.1 Riconoscitore 1-1 16](#_Toc61032846)

[2.2.2 Riconoscitore 1-10 18](#_Toc61032847)

[2.3 Codice 19](#_Toc61032848)

[2.3.1 Riconoscitore 1-1 19](#_Toc61032849)

[2.3.2 Riconoscitore 1-10 26](#_Toc61032850)

[2.4 Simulazione 29](#_Toc61032851)

[2.4.1 Riconoscitore 1-1 29](#_Toc61032852)

[2.4.2 Riconoscitore 1-10 32](#_Toc61032853)

[Esercizio 3 36](#_Toc61032854)

[3.1 Traccia 36](#_Toc61032855)

[3.2 Soluzione 36](#_Toc61032856)

[3.3 Codice 37](#_Toc61032857)

[3.4 Simulazione 42](#_Toc61032858)

[3.5 Sintesi su FPGA 44](#_Toc61032859)

[Esercizio 4 51](#_Toc61032860)

[4.1 Traccia 51](#_Toc61032861)

[4.2 Soluzione 51](#_Toc61032862)

[4.3 Codice 52](#_Toc61032863)

[4.3.1 Approccio Strutturale 52](#_Toc61032864)

[4.3.2 Approccio comportamentale 56](#_Toc61032865)

[4.4 Simulazione 57](#_Toc61032866)

[Esercizio 5 61](#_Toc61032867)

[5.1 Traccia 61](#_Toc61032868)

[5.2 Soluzione 61](#_Toc61032869)

[5.3 Codice 64](#_Toc61032870)

[5.3.1 Logica Cablata 64](#_Toc61032871)

[5.3.2 Logica Microprogrammata 72](#_Toc61032872)

[5.4 Simulazione 86](#_Toc61032873)

[5.4.1 Simulazione logica cablata 86](#_Toc61032874)

[5.4.2 Simulazione logica microprogrammata 89](#_Toc61032875)

[Esercizio 6 93](#_Toc61032876)

[6.1 Traccia 93](#_Toc61032877)

[6.2 Soluzione 93](#_Toc61032878)

[6.3 Codice 94](#_Toc61032879)

[6.4 Simulazione 99](#_Toc61032880)

[Esercizio 7 102](#_Toc61032881)

[7.1 Traccia 102](#_Toc61032882)

[7.2 Soluzione 102](#_Toc61032883)

[7.2.1 Implementazione con vettori in rom 102](#_Toc61032884)

[7.2.2 Implementazione con handshake e contatore 104](#_Toc61032885)

[7.3 Codice 105](#_Toc61032886)

[7.3.1 Implementazione con vettori in rom 105](#_Toc61032887)

[7.3.2 Implementazione con handshake e contatore 113](#_Toc61032888)

[7.4 Simulazione 119](#_Toc61032889)

[7.4.1 Implementazione con vettori in rom 119](#_Toc61032890)

[7.4.2 Implementazione con handshake e contatore 122](#_Toc61032891)

[Esercizio 8 126](#_Toc61032892)

[8.1 Traccia 126](#_Toc61032893)

[8.2 Richiamo sull’architettura 126](#_Toc61032894)

[8.3 Analisi in simulazione 130](#_Toc61032895)

[8.3.1 Analisi Bipush 132](#_Toc61032896)

[8.3.2 Analisi IADD 137](#_Toc61032897)

[8.3.3 Analisi ISTORE 141](#_Toc61032898)

[8.4 Modifica di un’istruzione e relativa analisi in simulazione 148](#_Toc61032899)

[Esercizio 9 152](#_Toc61032900)

[9.1 Traccia 152](#_Toc61032901)

[9.2 Richiamo sul funzionamento della periferica seriale 152](#_Toc61032902)

[9.3 Progettazione, implementazione, simulazione e sintesi su FPGA dei componenti 157](#_Toc61032903)

[9.3.1 Progettazione UART tappo e 2\_UART 157](#_Toc61032904)

[9.3.2 Implementazione in VHDL 159](#_Toc61032905)

[9.3.3 Simulazione 162](#_Toc61032906)

[9.3.4 Sintesi su FPGA 169](#_Toc61032907)

[Esercizio 10 175](#_Toc61032908)

[10.1 Traccia 175](#_Toc61032909)

[10.2 Richiamo generale sugli switch 175](#_Toc61032910)

[10.3 Soluzione con schema a priorità fissa 179](#_Toc61032911)

[10.4 Soluzione generic con gestione delle collisioni 183](#_Toc61032912)

[10.5 Codice 190](#_Toc61032913)

[10.5.1 Codice rete a priorità 190](#_Toc61032914)

[10.5.2 Codice rete generic 198](#_Toc61032915)

[Esercizio 11 209](#_Toc61032916)

[11.1 Traccia 209](#_Toc61032917)

[11.2 Cenni sull’algoritmo del moltiplicatore di Robertson 209](#_Toc61032918)

[11.3 Soluzione 210](#_Toc61032919)

[11.4 Codice 214](#_Toc61032920)

[11.5 Simulazione 224](#_Toc61032921)

[11.6 Sintesi su FPGA 226](#_Toc61032922)

## Specifiche di Progetto

Un sistema è composto da 3 unità A, B e C. B è collegato ad A mediante una periferica seriale, e a C mediante una periferica parallela. Il sistema opera come segue:

A invia fino ad un massimo di M messaggi di N byte a B. Per ogni messaggio ricevuto MSGi, B verifica l’ultimo byte del messaggio MSGi(N-1):

* Se è diverso da 0, B continua con la ricezione;
* Se è uguale a 0, B interrompe la comunicazione con A e C.

Durante la ricezione dei messaggi (in qualsiasi momento), il sistema B può ricevere dei caratteri da C. In particolare, se riceve 2 caratteri (qualsiasi) successivi da C, B termina la ricezione del messaggio eventualmente in sospeso e poi interrompe la comunicazione con A e C.

## Architettura del Sistema

## Protocolli

## Mappa della memoria

## Descrizione di alto livello del programma implementato

## Implementazione